

PATENT
2557-000170/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application No.:	New Application	Group Art Unit:	Unknown
Filing Date:	September 5, 2003	Examiner:	Unknown
Applicants:	Gun-Ok JUNG, et al.	Conf. No.:	Unknown
Title:	FREQUENCY MULTIPLIER CAPABLE OF ADJUSTING DUTY CYCLE OF A CLOCK AND METHOD USED THEREIN		

PRIORITY LETTER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 5, 2003

Dear Sirs:

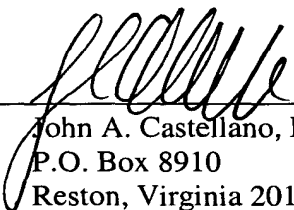
Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0006790	February 4, 2003	Republic of Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By 
John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:jj

Enclosure

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

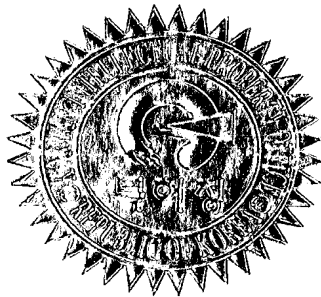
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0006790
Application Number

출원년월일 : 2003년 02월 04일
Date of Application FEB 04, 2003

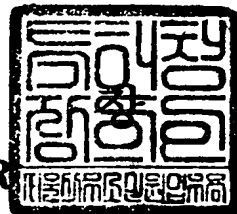
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 28 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.02.04
【국제특허분류】	H03K
【발명의 명칭】	클럭의 듀티 사이클을 조정할 수 있는 주파수 체배기 및 체배방법
【발명의 영문명칭】	Frequency multiplier of clock capable of adjusting duty cycle of the clock and method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	정건옥
【성명의 영문표기】	JUNG, Gun Ok
【주민등록번호】	610307-1396532
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 955-1
【국적】	KR
【발명자】	
【성명의 국문표기】	박성배
【성명의 영문표기】	PARK, Sung Bae
【주민등록번호】	580812-1002317
【우편번호】	463-773

【주소】 경기도 성남시 분당구 서현동(시범단지) 우성아파트
209-1405

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	16 면	16,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	19 항	717,000 원
【합계】		762,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

클럭의 듀티 사이클을 조정할 수 있는 주파수 체배기 및 체배방법이 개시된다. 본 발명에 따른 주파수 체배기는 제 1클럭을 수신하고 제 1클럭을 소정시간 지연시킨 지연 클럭을 출력하는 지연회로; 상기 제 1클럭 및 상기 지연클럭을 수신하고 상기 제 1클럭 및 상기 지연클럭을 배타적 논리합하여 제 2클럭을 출력하는 배타적 논리합 수단; 및, 상기 제 1클럭 및 상기 지연클럭의 위상차이를 검출하고, 검출된 상기 위상차이에 대응되는 소정의 제어신호를 상기 지연회로로 출력하는 제어회로를 구비하고, 상기 제어신호는 상기 지연회로의 지연량을 제어하는 것을 특징으로 한다. 본 발명에 따르면, 제어신호에 응답하여 지연회로의 지연량을 조절함으로써, 체배되는 클럭의 듀티 사이클을 자동적으로 조정할 수 있으며, 외부로부터 리셋신호를 입력받을 필요없이 제 1클럭의 주기 내에서 자동적으로 생성된다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

클럭의 듀티 사이클을 조정할 수 있는 주파수 체배기 및 체배방법 {Frequency multiplier of clock capable of adjusting duty cycle of the clock and method thereof}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 소정의 클럭을 입력받아 상기 클럭의 클럭주파수를 2배 체배하여 출력하는 일반적인 과정을 나타낸 타이밍도(timing diagram)이다.

도 2는 본 발명의 바람직한 실시예에 따른 듀티 사이클을 조정할 수 있는 주파수 체배기를 나타낸 블록도(block diagram)이다.

도 3은 입력되는 클럭 및 지연클럭의 타이밍에 따라 제 1전압 및 제 2전압의 레벨이 변하는 각각의 단계를 나타낸 타이밍도이다.

도 4는 도 2에 도시된 주파수 체배기에서 위상검출기의 일실시예를 나타낸 도면이다.

도 5는 도 2에 도시된 주파수 체배기에서 지연회로의 제 1실시예를 나타낸 도면이다.

도 6은 도 5에 도시된 지연회로에서 반전회로군의 일예를 나타낸 회로도이다.

도 7은 도 2에 도시된 주파수 체배기에서 지연회로의 제 2실시예를 나타낸 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 주파수 체배기에 관한 것으로, 특히 입력되는 클럭의 클럭주파수를 체배할 뿐만 아니라 체배된 클럭의 듀티 사이클을 조절할 수 있는 주파수 체배기 및 체배방법에 관한 것이다.
- <10> 주파수 체배기는 입력되는 클럭의 클럭주파수를 체배하기 위하여 사용되며, 이러한 주파수 체배기는 여러 방면에 사용된다. 특히, 클럭에 동기되어 동작하는 동기식 반도체 메모리 장치(Synchronous semiconductor memory device) 등에서 사용되는 클럭의 주파수는 곧 그 장치들의 동작속도를 의미하기 때문에, 적은 클럭주파수를 가지는 클럭을 입력받아 이를 높은 클럭주파수를 가지는 클럭으로 변환하는 것은 중요하다.
- <11> 일반적으로 주파수 체배기는 입력되는 클럭을 소정시간 지연하는 지연회로 및 배타적 논리합 게이트에 의하여 구현될 수 있다. 지연회로는 입력되는 클럭을 소정시간 지연시켜 지연클럭을 출력하며, 배타적 논리합 게이트는 입력되는 클럭과 지연클럭을 배타적 논리합하여 주파수가 체배된 클럭신호를 출력한다.
- <12> 도 1은 소정의 클럭을 입력받아 상기 클럭의 클럭주파수를 2배 체배하여 출력하는 일반적인 과정을 나타낸 타이밍도(timing diagram)이다.
- <13> 도 1에 도시된 바와 같이, 입력되는 클럭(CLK)에 대하여 소정시간 지연된 지연클럭(CLKD)을 생성한 후에, 클럭(CLK)과 지연클럭(CLKD)을 배타적 논리합하게 되면, 입력되는 클럭(CLK)에 비하여 2배의 클럭주파수를 가지는 출력클럭(CLKX2)이 생성된다. 2배 이

상의 다른 정수배로 채배하기 위한 주파수 채배기도 이와 같은 방법으로 생성할 수 있다

<14> 높은 속도, 즉 높은 클럭주파수에서 동작하는 반도체 메모리 장치에 있어서, 동기되는 클럭의 듀티 사이클(duty cycle)은 상기 반도체 메모리 장치의 동작을 결정하는 중요한 요소 중 하나이다. 특히, 최근에는 이중 데이터율(Double Data Rate; DDR) 반도체 메모리 장치의 등장으로 인하여 클럭의 정확한 듀티 사이클은 반도체 메모리 장치의 동작에 커다란 영향을 끼친다.

<15> 도 1에서 알 수 있듯이, 출력클럭(CLKX2)은 입력클럭(CLK)과 입력클럭(CLK)을 소정 시간 지연시킨 지연클럭(CLKD)과의 배타적 논리합에 의하여 생성되기 때문에, 출력클럭(CLKX2)의 정확한 듀티 사이클은 지연클럭(CLKD)에 달려있다. 즉, 지연클럭(CLKD)이 입력클럭(CLK)에 대하여, 입력클럭(CLK)의 주기의 1/4만큼의 지연량을 가지게 되면, 출력클럭(CLKX2)의 듀티 사이클은 정확하게 50%가 된다.

<16> 이처럼, 출력클럭(CLKX2)의 듀티 사이클은 입력클럭(CLK)과 지연클럭(CLKD)과의 위상차이에 따라 결정되며, 따라서 주파수 채배기의 지연회로의 지연량을 조절하여 출력클럭(CLKX2)의 듀티 사이클을 조절할 수 있는 제어회로가 필요하다. 따라서,

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자 하는 기술적 과제는, 제어신호에 응답하여 지연회로의 지연량을 조절함으로써 채배되는 클럭의 듀티 사이클을 자동적으로 조정할 수 있는 주파수 채배기를 제공하는 데 있다.

<18> 본 발명이 이루고자 하는 다른 기술적 과제는, 제어신호에 응답하여 지연회로의 지연량을 조절함으로써 체배되는 클럭의 듀티 사이클을 자동적으로 조정할 수 있는 주파수 체배방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<19> 상기 기술적 과제를 달성하기 위한 본 발명의 일면은 소정의 주파수를 가지는 제 1 클럭을 수신하여 상기 제 1클럭의 클럭주파수를 체배한 제 2클럭을 출력하는 주파수 체배기에 관한 것이다. 본 발명에 따른 주파수 체배기는 상기 제 1클럭을 수신하고 상기 제 1클럭을 소정시간 지연시킨 지연클럭을 출력하는 지연회로; 상기 제 1클럭 및 상기 지연클럭을 수신하고 상기 제 1클럭 및 상기 지연클럭을 배타적 논리합하여 상기 제 2클럭을 출력하는 배타적 논리합 수단; 및, 상기 제 1클럭 및 상기 지연클럭의 위상차이를 검출하고, 검출된 상기 위상차이에 대응되는 소정의 제어신호를 상기 지연회로로 출력하는 제어회로를 구비하고, 상기 제어신호는 상기 지연회로의 지연량을 제어하는 것을 특징으로 한다.

<20> 바람직하게는, 상기 제어회로는 상기 제 1클럭 및 상기 지연클럭을 수신하고, 상기 제 1클럭 및 상기 지연클럭의 위상차이에 대응되는 소정의 제 1전압 및 제 2전압을 출력하는 위상검출기; 상기 제 1전압 및 상기 제 2전압을 수신하고, 상기 제 1전압 및 상기 제 2전압을 비교하고, 상기 비교결과에 따라서 소정의 논리상태를 가지는 논리신호를 출력하는 비교기; 및, 상기 제 1클럭에 동기되어 상기 제어신호를 출력하는 카운터로서, 출력되는 상기 제어신호는 상기 비교기의 출력신호에 응답하여 증가 또는 감소되는 비트신호들인 카운터를 구비하는 것을 특징으로 한다.

- <21> 또한 바람직하게는, 상기 위상검출기는 상기 제 1클럭 및 상기 지연클럭을 수신하고, 상기 제 1클럭 및 상기 지연클럭의 논리상태에 응답하여 상기 제 1전압의 레벨을 제어하는 제 1전압 제어부로서, 상기 제 1클럭 및 상기 지연클럭으로부터 소정의 리셋신호를 생성하는 리셋신호 생성부를 포함하는 상기 제 1전압 제어부; 상기 리셋신호에 응답하여 상기 제 1전압의 레벨 및 상기 제 2전압의 레벨을 같도록 제어하는 리셋부; 및, 상기 리셋신호를 수신하고, 상기 리셋신호에 응답하여 상기 제 2전압의 레벨을 제어하는 제 2전압 제어부를 구비하는 것을 특징으로 한다.
- <22> 또한 바람직하게는, 상기 지연회로는 상기 카운터의 출력신호인 상기 제어신호를 수신하고, 상기 제어신호의 논리상태에 대응되는 지연량을 가지는 상기 지연클럭을 출력하는 것을 특징으로 한다.
- <23> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면은 제 1클럭을 수신하고, 상기 제 1클럭의 클럭주파수를 체배한 제 2클럭을 출력하는 주파수 체배기에 관한 것이다. 본 발명에 따른 주파수 체배기는 상기 제 1클럭을 소정시간 지연시키고 그 결과를 출력하는 지연회로; 상기 제 1클럭 및 상기 지연회로의 출력신호를 수신하고 상기 제 1클럭 및 상기 지연회로의 출력신호를 합성하여 상기 제 2클럭을 출력하는 논리회로; 및, 상기 제 1클럭 및 상기 지연회로의 출력신호의 위상차이를 검출하고 그 검출결과에 대응되는 제 1전압 및 기준전압인 제 2전압을 출력하는 위상검출기; 상기 제 1전압 및 상기 제 2전압을 비교하고, 그 비교결과에 대응되는 논리신호를 출력하는 비교기; 및, 상기 제 1클럭에 동기되어 상기 지연회로의 지연량을 제어하는 N 비트의 디지털신호를 출력하는 카운터로서, 상기 카운터의 출력신호는 상기 비교기의 출력신호에 응답하여 가산 또는 감산되는 상기 카운터를 구비하는 것을 특징으로 한다.

- <24> 바람직하게는, 상기 제 1클럭의 제 1구간에서 상기 제 1전압의 레벨이 증가하고, 상기 제 1클럭의 제 2구간에서 상기 제 1전압의 레벨이 감소하며, 상기 제 1클럭의 제 3구간에서 상기 제 1전압의 레벨과 상기 제 2전압의 레벨이 같아지는 것을 특징으로 한다.
- <25> 또한 바람직하게는, 상기 제 1구간은 상기 제 1클럭의 상승에지와 상기 지연회로의 출력신호의 상승에지 사이이고, 상기 제 2구간은 상기 지연회로의 출력신호의 상승에지와 상기 제 1클럭의 하강에지 사이이며, 상기 제 3구간은 상기 제 1클럭의 하강에지와 상기 지연회로의 출력신호의 하강에지 사이인 것을 특징으로 한다.
- <26> 상기 기술적 과제를 달성하기 위한 본 발명의 또다른 일면은 소정의 주파수를 가지는 제 1클럭을 수신하여 상기 제 1클럭의 클럭주파수를 체배하는 주파수 체배방법에 관한 것이다. 본 발명에 따른 주파수 체배방법은 (a) 상기 제 1클럭을 수신하고 상기 제 1클럭을 소정시간 지연시킨 지연클럭을 출력하는 단계; (b) 상기 제 1클럭 및 상기 지연클럭을 수신하고 상기 제 1클럭 및 상기 지연클럭을 배타적 논리합하여 상기 제 2클럭을 출력하는 단계; 및, (c) 상기 제 1클럭 및 상기 지연클럭의 위상차이를 검출하고, 검출된 상기 위상차이에 대응되는 소정의 제어신호를 상기 지연회로로 출력하는 단계를 구비하고, 상기 제어신호는 상기 지연회로의 지연량을 제어하는 것을 특징으로 한다.
- <27> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <28> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

- <29> 도 2는 본 발명의 바람직한 실시예에 따른 듀티 사이클을 조정할 수 있는 주파수 체배기를 나타낸 블록도(block diagram)이다. 도 2에 도시된 주파수 체배기(2000)는 지연회로(210), 배타적 논리합 소자(220) 및 제어회로(230)를 구비한다.
- <30> 지연회로(210)는 제 1클럭(CLK1)을 입력받아 지연클럭(CLKD)을 생성한다. 제 1클럭(CLK1)과 지연클럭(CLKD)은 소정의 위상차이를 가진다. 배타적 논리합 소자(220)는 제 1클럭(CLK1) 및 지연클럭(CLKD)을 수신하고 제 2클럭(CLK2)을 출력한다. 제 2클럭(CLK2)은 제 1클럭(CLK1) 및 지연클럭(CLKD)을 배타적 논리합한 클럭이다.
- <31> 제어회로(230)는 제 1클럭(CLK1) 및 지연클럭을 수신하고 제어신호(CTRL)를 출력한다. 제어회로(230)는 제 1클럭(CLK1)과 지연클럭(CLKD)의 위상차이를 검출하고 그 검출 결과에 따라서 지연회로(210)의 지연량을 제어하는 제어신호(CTRL)를 출력한다.
- <32> 제어회로(230)는 위상검출기(231), 비교기(232) 및 카운터(233)를 구비한다. 위상 검출기(231)는 제 1클럭(CLK1)과 지연클럭(CLKD)을 수신하고 제 1클럭(CLK1)과 지연클럭(CLKD)의 위상차이를 검출하며, 상기 위상차이에 대응되는 소정의 제 1전압(V1) 및 제 2전압(V2)을 출력한다.
- <33> 비교기(232)는 제 1전압(V1)과 제 2전압(V2)을 비교하고 그 비교결과에 따라 소정의 논리상태를 가지는 논리신호를 출력한다. 비교기(232)는 제 1전압(V1)과 제 2전압(V2)의 차이가 소정 레벨 이상이 되는 경우에는 카운터(233)의 출력신호를 증가시키는 신호를 출력하고, 제 1전압(V1)과 제 2전압(V2)의 차이가 상기 소정 레벨 이하인 경우에는 카운터(233)의 출력신호를 감소시키는 신호를 출력한다.

- <34> 카운터(233)는 비교기(232)의 출력신호를 수신하고, 제 1클럭(CLK1)에 동기되어 제어신호(CTRL)를 출력한다. 제어신호(CTRL)는 비교기(233)의 출력신호에 응답하여 증가 또는 감소하는 디지털 비트신호이고, 제어신호(CTRL)는 지연회로(210)로 입력되어 지연클럭(CLKD)의 지연량을 제어한다.
- <35> 본 발명에 따르면, 제 1클럭(CLK1)과 지연클럭(CLKD)의 위상 차이에 대응하는 제어신호(CTRL)에 의하여 지연회로(210)의 지연량이 조절되고, 배타적 논리합소자(220)는 제 1클럭(CLK1)과 지연클럭(CLKD)을 배타적 논리합하여 제 2클럭(CLK2)을 생성하기 때문에, 정확한 듀티 사이클을 가지며 체배된 주파수를 가지는 제 2클럭(CLK2)이 생성될 수 있다.
- <36> 도 2에 도시된 각 부분의 바람직한 실시예 및 그에 따른 상세한 설명은 후술하도록 한다. 다만, 이러한 실시예는 예시적일 뿐이고, 상술할 실시예와 같은 개념을 가진 다양한 다른 실시예들에 의하여 본 발명이 구현될 수 있음은 물론이다.
- <37> 도 3은 입력되는 클럭 및 지연클럭의 타이밍에 따라 제 1전압(V1) 및 제 2전압(V2)의 레벨이 변하는 각각의 단계를 나타낸 타이밍도이다.
- <38> 도 3을 참조하면, 제 1클럭(CLK1) 및 지연클럭(CLKD)의 레벨에 따라 제 1구간, 제 2구간 및 제 3구간으로 나누어 진다. 제 1구간에서는 제 1전압(V1)이 증가하는 구간으로서, 제 1클럭(CLK1)이 논리 하이의 논리상태를 가지고 지연클럭(CLKD)이 논리 로우의 논리상태를 가진다.
- <39> 제 2구간에서는 제 1전압(V1)이 감소하는 구간으로서, 제 1클럭(CLK1) 및 지연클럭(CLKD)이 모두 논리 하이의 논리상태를 가진다. 제 3구간은 리셋(RESET) 구간으로

로서, 제 1전압(V1)과 제 2전압(V2)이 같은 레벨로 리셋되는 구간이다. 제 3구간은 제 1 클럭(CLK1)이 논리 로우의 논리상태를 가지고 지연클럭(CLKD)이 논리 하이의 논리상태를 가진다.

<40> 도 3에 도시된 각 구간에서 위상검출기의 동작은 후술할 도 4의 위상검출기에 대한 설명에 의하여 더욱 명확해질 것이다. 도 4는 도 2에 도시된 주파수 체배기에서 위상검출기의 일실시예를 나타낸 도면이다.

<41> 도 4에 도시된 위상검출기(4000)는 제 1전압 제어부(410) 및 제 2전압 제어부(420)를 구비한다. 바람직하게는, 제 1전압(V1)의 레벨과 제 2전압(V2)의 레벨을 같도록 하기 위한 리셋부(430)를 더 구비한다.

<42> 제 1전압 제어부(410)는 제 1클럭(CLK1) 및 지연클럭(CLKD)을 수신하고 제 1클럭(CLK1) 및 지연클럭(CLKD)의 논리상태에 응답하여 제 1전압(V1)의 레벨을 제어한다. 제 1전압 제어부(410)는 다수의 논리회로들(411, 412, 413, 414, 415, 416, 417, 418), 피모스 트랜지스터(MP41) 및 엔모스 트랜지스터(MN43)를 구비한다. 또한 제 1전압 제어부(410)는 리셋신호 생성부(40)를 포함한다.

<43> 반전회로(417)는 지연클럭(CLKD)을 입력받아 반전된 지연클럭(CLKDB)을 출력한다. 논리회로(411)는 제 1클럭(CLK1) 및 반전된 지연클럭(CLKDB)을 수신하고 제 1클럭(CLK1) 및 반전된 지연클럭(CLKDB)을 부정논리곱하여 출력한다. 논리회로(412)는 제 1클럭(CLK1) 및 지연클럭(CLKD)을 수신하고 제 1클럭(CLK1) 및 지연클럭(CLKD)을 논리곱하여 출력한다.

- <44> 리셋신호 생성부(40)는 반전회로(418) 및 논리회로(413)를 구비한다. 반전회로(418)는 제 1클럭(CLK1)을 수신하고 반전된 제 1클럭(CLK1B)을 출력한다. 논리회로(413)는 반전된 제 1클럭(CLK1B) 및 지연클럭(CLKD)을 수신하고 반전된 제 1클럭(CLK1B) 및 지연클럭(CLKD)을 논리곱하여 리셋신호(LD)를 출력한다.
- <45> 반전회로(416)는 리셋신호(LD)를 수신하고 리셋신호(LD)를 반전하여 출력한다. 논리회로(415)는 논리회로(411)의 출력신호와 반전회로(416)의 출력신호를 수신하고 논리회로(411)의 출력신호와 반전회로(416)의 출력신호를 논리곱하여 출력한다. 논리회로(414)는 논리회로(412)의 출력신호 리셋신호(LD)를 수신하고 논리회로(412)의 출력신호 및 리셋신호(LD)를 논리합하여 출력한다.
- <46> 피모스 트랜지스터(MP41)의 게이트는 논리회로(415)의 출력단과 접속되고, 소스는 전원전압(VDD)과 접속되고 드레인은 엔모스 트랜지스터(MN43)의 드레인과 접속된다. 피모스 트랜지스터(MP41)의 드레인과 엔모스 트랜지스터(MN43)의 드레인과 접점에서의 전압이 제 1전압(V1)이다. 엔모스 트랜지스터(MN43)의 게이트는 논리회로(414)의 출력신호와 접속되고 소스는 접지전압(VSS)과 접속된다.
- <47> 제 2전압 제어부(420)는 리셋신호(LD)를 수신하고 리셋신호(LD)에 응답하여 제 2전압(V2)의 레벨을 제어한다. 제 2전압 제어부(420)는 다수의 논리회로들(421, 422, 423), 피모스 트랜지스터(MP42) 및 엔모스 트랜지스터(MN45)를 구비한다.
- <48> 반전회로(423)는 리셋신호(LD)를 수신하고 리셋신호(LD)를 반전하여 출력한다. 논리회로(421)는 반전회로(423)의 출력신호와 전원전압(VDD)신호를 수신하고 반전회로(423)의 출력신호와 전원전압(VDD)신호를 논리곱하여 출력한다. 전원전압(VDD)신호는 항

상 논리 하이의 논리상태를 가지기 때문에 논리회로(421)는 반전회로(423)의 출력신호를 버퍼링하는 역할을 한다.

<49> 논리회로(422)는 리셋신호(LD)와 접지전압(VSS)신호를 수신하고 리셋신호(LD)와 접지전압(VSS)신호를 논리합하여 출력한다. 접지전압(VSS)신호는 항상 논리 로우의 논리상태를 가지기 때문에 논리회로(422)는 리셋신호(LD)를 버퍼링하는 역할을 한다.

<50> 피모스 트랜지스터(MP42)의 게이트는 논리회로(421)의 출력단과 접속되고 소스는 전원전압(VDD)과 접속되고 드레인엔 엔모스 트랜지스터(MN45)의 드레인과 접속된다. 피모스 트랜지스터(MP42)의 드레인과 엔모스 트랜지스터(MN45)의 드레인과 접점에서의 전압이 제 2전압(V2)이다. 엔모스 트랜지스터(MN45)의 게이트는 논리회로(422)의 출력단과 접속되고 소스는 접지전압(VSS)가 접속된다.

<51> 도 4에서 리셋부(430)는 게이트에 리셋신호(LD)가 인가되고 드레인과 소스에는 각각 제 1전압(V1) 및 제 2전압(V2) 단자가 접속되는 엔모스 트랜지스터(MN44)로 구현된다. 제 1전압(V1)의 단자와 접지전압(VSS) 사이에는 제 1전압(V1)을 충전하기 위하여 제 1커패시터를 가지는 제 1커패시터(C1)가 접속되고, 제 2전압(V2)의 단자와 접지전압(VSS) 사이에는 제 2전압(V2)을 충전하기 위하여 제 2커패시터를 가지는 제 2커패시터(C2)가 접속된다.

<52> 도 3 및 도 4를 참조하여 본 발명의 바람직한 실시예에 따른 위상검출기(4000)의 동작을 설명하면 다음과 같다.

<53> 먼저 도 3에 도시된 제 1구간, 즉 제 1클럭(CLK1)이 논리 하이의 논리상태를 가지고 지연클럭(CLKD)이 논리 로우의 논리상태를 가지는 구간에서 위상검출기(4000)의 동작

이 설명된다. 반전회로(417)의 출력인 반전된 지연클럭(CLKDB)은 논리 하이의 논리상태를 가지고, 논리회로(411)는 논리 로우의 논리상태를 가지는 신호를 출력하며 따라서 논리회로(415)는 논리 로우의 논리상태를 가지는 신호를 출력한다.

<54> 논리회로(412)는 논리 로우의 논리상태를 가지는 신호를 출력한다. 또한, 리셋신호 발생부(40)는 논리 로우의 논리상태를 가지는 리셋신호(LD)를 출력한다. 따라서 논리회로(414)는 논리 로우의 논리상태를 가지는 신호를 출력하게 된다.

<55> 즉, 논리회로(415)의 출력신호 및 논리회로(414)의 출력신호의 논리상태가 모두 논리 로우이기 때문에, 피모스 트랜지스터(MP41)는 턴온되고 엔모스 트랜지스터(MN43)는 턴오프된다. 따라서, 제 1커패시터(C1)에 전하가 충전되어 제 1전압(V1)이 증가한다. 즉, 제 1구간에서 제 1전압 제어부(410)는 제 1전압(V1)을 증가하도록 제어한다.

<56> 이 때, 리셋신호(LD)는 논리 로우의 논리상태를 가지기 때문에, 논리회로(421)는 논리 하이의 논리상태를 가지는 신호를 출력하고, 논리회로(422)는 논리 로우의 논리상태를 가지는 출력하므로, 피모스 트랜지스터(MP42) 및 엔모스 트랜지스터(MN45)는 동작하지 않는다. 따라서, 제 2전압(V2)의 레벨은 변하지 않는다. 물론 리셋부(430)도 동작하지 않는다.

<57> 도 3에 도시된 제 2구간, 즉 제 1클럭(CLK1) 및 지연클럭(CLKD)이 모두 논리 하이의 논리상태를 가지는 경우에서 위상검출기(4000)의 동작이 설명된다. 이 때는, 반전된 지연클럭(CLKDB)이 논리 로우의 논리상태를 가지므로 논리회로(411)는 논리 하이의 논리상태를 가지는 신호를 출력한다.

- <58> 논리회로(412)는 논리 하이의 논리상태를 가지는 신호를 출력하고, 리셋신호 발생부(40)는 논리 로우의 논리상태를 가지는 리셋신호(LD)를 출력한다. 즉, 반전회로(416)의 출력신호는 논리 하이의 논리상태를 가지게 되고, 따라서 논리회로(415)의 출력신호와 논리회로(414)의 출력신호는 모두 논리 하이의 논리상태를 가진다.
- <59> 따라서 이 경우 피모스 트랜지스터(MP41)는 턴오프되고 엔모스 트랜지스터(MN43)는 턴온되어 제 1커패시터(C1)에 저장된 전하가 엔모스 트랜지스터(MN43)를 통하여 방전되므로, 제 1전압(V1)이 감소한다. 즉, 제 2구간에서 제 1전압 제어부(410)는 제 1전압(V1)을 감소하도록 제어한다.
- <60> 이 때, 리셋신호(LD)는 논리 로우의 논리상태를 가지므로, 제 1구간에서와 같이 제 2전압(V2)의 레벨은 변하지 않고 리셋부(430)도 동작하지 않는다.
- <61> 도 3에 도시된 제 3구간, 즉 제 1클럭(CLK1)이 논리 로우의 논리상태를 가지고 지연클럭(CLKD)이 논리 하이의 논리상태를 가지는 리셋(RESET)구간의 경우에서 위상검출기(4000)의 동작이 설명된다. 논리회로(411)는 논리 하이의 논리상태를 가지는 신호를 출력하고 논리회로(412)는 논리 로우의 논리상태를 가지는 신호를 출력한다.
- <62> 리셋신호 발생부(40)로부터 출력되는 리셋신호(LD)는 반전된 제 1클럭(CLK1B)과 지연클럭을 논리곱한 신호이다. 따라서, 리셋신호(LD)는 논리 하이의 논리상태를 가진다. 리셋신호(LD)가 논리 하이의 논리상태를 가지기 때문에, 논리회로(415)는 논리 로우의 논리상태를 가지는 신호를 출력하고, 논리회로(414)는 논리 하이의 논리상태를 가지는 신호를 출력한다.

- <63> 따라서, 피모스 트랜지스터(MP41)가 턴온될 뿐만 아니라 엔모스 트랜지스터(MN43)도 턴온된다. 즉, 제 1커패시터(C1)의 전하는 충전 및 방전이 동시에 일어나기 때문에, 제 1전압(V1)은 소정의 레벨을 가지게 된다.
- <64> 또한, 리셋신호(LD)가 논리 하이의 논리상태를 가지기 때문에, 논리회로(421)의 출력신호는 논리 로우의 논리상태를 가지고, 논리회로(422)의 출력신호는 논리 하이의 논리상태를 가진다. 따라서 피모스 트랜지스터(MP42) 및 엔모스 트랜지스터(MN45)가 모두 턴온되므로, 제 2커패시터(C2)의 전하는 피모스 트랜지스터(MP42)와 엔모스 트랜지스터(MN45)에 의하여 충전 및 방전이 동시에 일어나게 된다. 따라서, 제 2전압(V2)은 소정의 레벨을 가지게 된다.
- <65> 즉, 리셋신호(LD)가 논리 하이로 활성화되는 경우 제 1전압 제어부(410) 및 제 2전압 제어부(420)는 각각 제 1전압(V1) 및 제 2전압(V2)을 소정의 레벨로 제어한다. 이 때, 제 1전압(V1)과 제 2전압(V2)이 같도록 하기 위하여 제 1전압 제어부(410)의 피모스 트랜지스터(MP41) 및 엔모스 트랜지스터(MN43)와 제 2전압 제어부(420)의 피모스 트랜지스터(MP42) 및 엔모스 트랜지스터(MN45)의 사이즈(width)가 조절될 수 있다.
- <66> 다시 말하면, 리셋신호(LD)가 활성화되는 경우 제 1전압(V1) 및 제 2전압(V2)이 같은 것이 바람직하다. 이 때 도 4에 도시된 바와 같이 제 1전압(V1)과 제 2전압(V2)을 같도록 하기 위하여 리셋부(430)를 더 구비할 수 있다. 도 4에 의하면 리셋신호(LD)가 활성화되면 엔모스 트랜지스터(MN44)가 활성화되어 제 1전압(V1)과 제 2전압(V2)이 같아진다.
- <67> 도 3 및 도 4에 도시된 바와 같이, 위상검출기(4000)는 제 1클럭(CLK1) 및 지연클럭(CLKD)의 위상차를 검출하여 그 검출결과에 따라서 제 1전압(V1) 및 제 2전압(V2)을

출력한다. 또한 제 1클럭(CLK1)의 한 주기 내에서 리셋신호(LD)를 생성하여 제 1전압(V1)과 제 2전압(V2)을 같도록 하는 것은 본 발명의 특징의 일부이다.

<68> 후술하는 바와 같이, 본 발명의 주파수 체배기(2000)는 위상검출기(4000)의 출력신호인 제 1전압(V1) 및 제 2전압(V2)에 의하여 도 2의 지연회로(210)의 지연량을 조절함으로써 체배된 클럭의 듀티사이클을 조정할 수 있다.

<69> 도 5는 도 2에 도시된 주파수 체배기에서 지연회로의 제 1실시예를 나타낸 도면이다. 도 5에 도시된 지연회로(500)는 반전회로군(510)을 구비한다. 반전회로군(510)의 출력신호를 반전하기 위하여 지연회로(500)는 반전회로(520)를 더 구비한다. 지연회로(500)는 도 5에 도시된 반전회로군(510)을 하나 이상 구비할 수 있다. 지연회로(500)는 제 1클럭(CLK1)을 수신하고 카운터로부터 출력되는 N비트(도 5의 실시예에서는 4비트) 디지털 신호(b3, b2, b1, b0)에 응답하여 지연량이 변하는 지연클럭(CLKD)을 출력한다.

<70> 반전회로군(510)은 다수의 반전회로들(511, 512, 513, 514, 515, 516, 517, 518, 519)을 구비한다. 반전회로들(511, 512, 513, 514, 515)의 입력단은 각각의 입력단과, 출력단은 각각의 출력단과 접속되고, 그 출력단은 반전회로(520)의 입력단과 접속된다.

<71> 반전회로(516)는 카운터의 출력신호(b3)를 반전하여 출력한다. 반전회로(517)는 카운터의 출력신호(b2)를 반전하여 출력한다. 반전회로(518)는 카운터의 출력신호(b1)를 반전하여 출력한다. 반전회로(519)는 카운터의 출력신호(b0)를 반전하여 출력한다.

<72> 반전회로(515)는 카운터의 출력신호(b3)에 응답하여 활성화되고, 반전회로(514)는 카운터의 출력신호(b2)에 응답하여 활성화되고, 반전회로(513)는 카운터의 출력신호(b1)에 응답하여 활성화되고, 반전회로(512)는 카운터의 출력신호(b0)에 응답하여 활성화된

다. 즉 카운터의 출력신호(b3, b2, b1, b0)에 응답하여 반전회로들(512, 513, 514, 515)이 하나 또는 그 이상 활성화된다.

<73> 위상검출기 및 비교기에 의하여 검출된 위상정보에 따라서 카운터는 지연회로(500)의 지연량을 조절할 수 있도록 하는 출력신호(b3, b2, b1, b0)를 출력한다. 만일 반전회로들(512, 513, 514, 515)이 모두 활성화되면, 제 1클럭(CLK1)을 입력받아 반전하여 출력하는 반전회로군(510)의 동작이 빨라지게 되고, 지연클럭(CLKD)의 지연량은 작아진다.

<74> 도 5에서 볼 때, 카운터의 출력신호들(b3, b2, b1, b0)이 논리 하이의 논리상태를 가지면 각각에 대응되는 반전회로들(515, 514, 513, 512)이 활성화되기 때문에, 카운터의 출력신호들(b3, b2, b1, b0)이 모두 논리 로우의 논리상태를 가지면 가장 지연량이 큰 경우이고, 카운터의 출력신호들(b3, b2, b1, b0)이 모두 논리 하이의 논리상태를 가지면 가장 지연량이 작은 경우이다.

<75> 또한 카운터의 출력신호들(b3, b2, b1, b0)의 논리상태에 따라서 지연클럭(CLKD)의 지연량을 선형적으로 조절하기 위해서, 활성화되는 반전회로들(515, 514, 513, 512)의 크기(size)를 조절할 수 있다. 반전회로는 모스 트랜지스터에 의하여 구현되기 때문에, 모스 트랜지스터의 크기를 조절함으로써 반전회로의 크기를 조절할 수 있다.

<76> 도 6은 도 5에 도시된 반전회로군을 더욱 자세하게 나타낸 회로도이다. 도 6의 반전회로군(510)은 다수의 엔모스 트랜지스터들 및 피모스 트랜지스터들을 구비한다.

<77> 피모스 트랜지스터들(MP61, MP62, MP63, MP64, MP69)의 소스는 전원전압(VDD)과 접속되고, 엔모스 트랜지스터들(MN61, MN62, MN63, MN64, MN69)의 소스는 접지전압(VSS)과

접속된다. 피모스 트랜지스터들(MP61, MP62, MP63, MP64, MP69) 및 엔모스 트랜지스터들(MN61, MN62, MN63, MN64, MN69)의 게이트는 제 1클럭(CLK1)과 접속된다.

<78> 피모스 트랜지스터(MP69)의 드레인은 엔모스 트랜지스터(MN69)의 드레인과 접속되고, 이 접점으로부터 반전된 지연클럭(CLKDB)이 출력된다.

<79> 엔모스 트랜지스터(MN65)의 게이트는 카운터의 출력신호(b3)와 접속되고, 엔모스 트랜지스터(MN66)의 게이트는 카운터의 출력신호(b2)와 접속되고, 엔모스 트랜지스터(MN67)의 게이트는 카운터의 출력신호(b1)와 접속되고, 엔모스 트랜지스터(MN68)의 게이트는 카운터의 출력신호(b0)와 접속된다.

<80> 반전회로(616)는 카운터의 출력신호(b3)를 반전하여 반전된 신호(b3b)를 출력하고, 반전회로(617)는 카운터의 출력신호(b2)를 반전하여 반전된 신호(b2b)를 출력하고, 반전회로(618)는 카운터의 출력신호(b1)를 반전하여 반전된 신호(b1b)를 출력하고, 반전회로(619)는 카운터의 출력신호(b0)를 반전하여 반전된 신호(b0b)를 출력한다.

<81> 피모스 트랜지스터(MP65)의 게이트는 반전회로(616)의 출력신호(b3b)와 접속되고, 피모스 트랜지스터(MP66)의 게이트는 반전회로(617)의 출력신호(b2b)와 접속된다. 피모스 트랜지스터(MP67)의 게이트는 반전회로(618)의 출력신호(b1b)와 접속되고, 피모스 트랜지스터(MP68)의 게이트는 반전회로(619)의 출력신호(b0b)와 접속된다.

<82> 피모스 트랜지스터(MP65)의 소스는 피모스 트랜지스터(MP61)의 드레인과, 피모스 트랜지스터(MP65)의 드레인은 엔모스 트랜지스터(MN65)의 드레인과 접속된다. 피모스 트랜지스터(MP66)의 소스는 피모스 트랜지스터(MP62)의 드레인과, 피모스 트랜지스터(MP66)의 드레인은 엔모스 트랜지스터(MN66)의 드레인과 접속된다. 피모스 트랜지스터

(MP67)의 소스는 피모스 트랜지스터(MP63)의 드레인과, 피모스 트랜지스터(MP67)의 드레인은 엔모스 트랜지스터(MN67)의 드레인과 접속된다. 피모스 트랜지스터(MP68)의 소스는 피모스 트랜지스터(MP64)의 드레인과, 피모스 트랜지스터(MP68)의 드레인은 엔모스 트랜지스터(MN68)의 드레인과 접속된다.

<83> 도 6을 참조로 하여 반전회로군(510)의 동작을 설명하면 다음과 같다.

<84> 카운터의 출력신호인 b3, b2, b1, b0는 소정의 논리상태를 가지는 논리신호이다.

카운터의 출력신호(b3, b2, b1, b0)에 응답하여 피모스 트랜지스터(MP65, MP66, MP67, MP68) 및 엔모스 트랜지스터(MN65, MN66, MN67, MN68)가 턴온 또는 턴오프된다. 만일 피모스 트랜지스터(MP65, MP66, MP67, MP68) 및 엔모스 트랜지스터(MN65, MN66, MN67, MN68)가 턴온되면 턴온된 트랜지스터에 상응하는 반전회로가 작동하게 되어 지연시간이 단축되고, 턴오프되면 지연시간이 커진다.

<85> 예컨대, 카운터의 출력신호가 b3=0, b2=1, b1=0, b0=0의 논리상태를 가진다고 가정하자. 이 때, 반전된 카운터의 출력신호는 b3b=1, b2b=0, b1b=1, b0b=1의 논리상태를 가지게 되고, 따라서, 피모스 트랜지스터들(MP65, MP67, MP68)은 턴오프되고 피모스 트랜지스터(MP66)는 턴온된다. 마찬가지로, 엔모스 트랜지스터들(MN65, MN67, MN68)은 턴오프되고 엔모스 트랜지스터(MN66)는 턴온된다.

<86> 이 때, 피모스 트랜지스터들(MP61, MP63, MP64) 및 엔모스 트랜지스터들(MN61, MN63, MN64)은 작동하지 않고, 피모스 트랜지스터(MP62)와 엔모스 트랜지스터(MN62) 및 피모스 트랜지스터(MP69) 및 엔모스 트랜지스터(MN69)가 반전회로로서 작동하여 반전된 지연클럭(CLKDB)을 출력한다.

- <87> 이 때, b2가 논리 하이의 논리상태를 가지는 경우는 반전회로군(510)의 입력단으로 부터 출력단으로 전달되는 전류의 양이 커지기 때문에, 피모스 트랜지스터(MP69) 및 엔 모스 트랜지스터(MN69)만 동작하는 경우에 비하여 지연량이 적다. 즉, 반전회로군(510) 및 이를 포함하는 지연회로는 카운터의 출력신호들(b3, b2, b1, b0)에 따라서 지연량을 조절할 수 있다.
- <88> 입력되는 카운터의 출력신호들(b3, b2, b1, b0)이 다른 논리상태를 가지는 경우에도 마찬가지로 설명할 수 있다.
- <89> 도 7은 도 2에 도시된 주파수 체배기에서 지연회로의 제 2실시예를 나타낸 도면이다. 도 7의 지연회로(70)는 도 5의 지연회로(500)과는 달리, 다수의 직렬연결된 반전회로들(731, 732, 733, 734, 735, 736, 737, 738; 721, 722, 723, 724; 711, 712; 701) 및 스위치들(TG3, TG2, TG1, TG0)을 구비한다.
- <90> 스위치(TG3)는 카운터의 출력신호(b3)가 논리 하이인 경우에 반전회로(731)의 입력단과 반전회로(738)의 출력단 사이를 단락(short)시키도록 접속된다. 스위치(TG2)는 카운터의 출력신호(b2)가 논리 하이인 경우에 반전회로(721)의 입력단과 반전회로(724)의 출력단 사이를 단락(short)시키도록 접속된다. 스위치(TG1)는 카운터의 출력신호(b1)가 논리 하이인 경우에 반전회로(711)의 입력단과 반전회로(712)의 출력단 사이를 단락(short)시키도록 접속된다. 스위치(TG0)는 카운터의 출력신호(b0)가 논리 하이인 경우에 반전회로(701)의 양단을 단락(short)시키도록 접속된다.
- <91> 반전회로들(739, 725, 713, 702)은 각각 카운터의 출력신호들(b3, b2, b1, b0)을 반전한 신호들(b3b, b2b, b1b, b0b)을 생성하기 위하여 구비되고, 반전회로들(71, 72)은

반전회로(701)와 서로 직렬로 접속된다. 반전회로(71)의 출력신호는 지연클럭(CLKDB)이 된다.

<92> 도 7에 도시된 지연회로(70)의 동작을 설명하면 다음과 같다. 반전회로들(731, 732, 733, 734, 735, 736, 737, 738; 721, 722, 723, 724; 711, 712; 701; 71, 72)의 지연량이 모두 같다고(예컨대, D) 가정하자. 예컨대, 카운터의 출력신호들(b3, b2, b1, b0)의 논리상태가 모두 논리 로우의 논리상태이면, 스위치들(TG3, TG2, TG1, TG0)은 모두 개방되고, 제 1클럭(CLK1)과 지연클럭(CLKD) 사이의 지연량은 $8D+4D+2D+1D+2D=17D$ 의 지연량을 가진다.

<93> 반면, 카운터의 출력신호들(b3, b2, b1, b0)의 논리상태가 모두 논리 하이이면, 스위치들(TG3, TG2, TG1, TG0)은 모두 단락되어 제 1클럭(CLK1)과 지연클럭(CLKD) 사이의 지연량은 2D가 된다. 이러한 지연량은 도 7에 도시된 바와 같이, 카운터의 출력신호들(b3, b2, b1, b0)의 논리상태의 변화에 따라 변화된다.

<94> 즉, 본 발명의 주파수 체배기에서 도 5 및 도 6에 개시된 지연회로(500)뿐만 아니라 도 7의 지연회로(70)도 사용될 수 있다. 도 5 내지 도 7에 개시된 지연회로 이외의 다른 지연회로도 사용될 수 있음은 물론이다.

<95> 이상에서와 같이 도면과 명세서에 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한 정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

- <96> 상술한 바와 같이 본 발명에 따르는 주파수 체배기 및 체배방법은 제어신호에 응답하여 지연회로의 지연량을 조절함으로써, 체배되는 클럭의 듀티 사이클을 자동적으로 조정할 수 있는 효과가 있다.
- <97> 아울러, 제 1클럭 및 지연클럭의 위상차에 따라 제 1전압 및 제 2전압의 차이를 변화시키고 이를 감지하여 지연회로의 지연량을 조절하며, 제 1전압과 제 2전압을 같도록 조정하는 리셋신호를 제 1클럭의 주기 내에서 생성할 수 있고 별도로 필요로 하지 않는다.

【특허청구범위】**【청구항 1】**

소정의 주파수를 가지는 제 1클럭을 수신하여 상기 제 1클럭의 클럭주파수를 체배한 제 2클럭을 출력하는 주파수 체배기에 있어서,

상기 제 1클럭을 수신하고 상기 제 1클럭을 소정시간 지연시킨 지연클럭을 출력하는 지연회로;

상기 제 1클럭 및 상기 지연클럭을 수신하고 상기 제 1클럭 및 상기 지연클럭을 배타적 논리합하여 상기 제 2클럭을 출력하는 배타적 논리합 수단; 및,

상기 제 1클럭 및 상기 지연클럭의 위상차이를 검출하고, 검출된 상기 위상차이에 대응되는 소정의 제어신호를 상기 지연회로로 출력하는 제어회로를 구비하고,

상기 제어신호는 상기 지연회로의 지연량을 제어하는 것을 특징으로 하는 주파수 체배기

【청구항 2】

제 1항에 있어서, 상기 제어신호는

상기 위상차이에 대응되는 다수의 비트신호들인 것을 특징으로 하는 주파수 체배기

【청구항 3】

제 1항에 있어서, 상기 제어회로는

상기 제 1클럭 및 상기 지연클럭을 수신하고, 상기 제 1클럭 및 상기 지연클럭의 위상차이에 대응되는 소정의 제 1전압 및 제 2전압을 출력하는 위상검출기;

상기 제 1전압 및 상기 제 2전압을 수신하고, 상기 제 1전압 및 상기 제 2전압을 비교하고, 상기 비교결과에 따라서 소정의 논리상태를 가지는 논리신호를 출력하는 비교기; 및,

상기 제 1클럭에 동기되어 상기 제어신호를 출력하는 카운터로서, 출력되는 상기 제어신호는 상기 비교기의 출력신호에 응답하여 증가 또는 감소되는 비트신호들인 카운터를 구비하는 것을 특징으로 하는 주파수 체배기.

【청구항 4】

제 3항에 있어서, 상기 위상검출기는

상기 제 1클럭 및 상기 지연클럭을 수신하고, 상기 제 1클럭 및 상기 지연클럭의 논리상태에 응답하여 상기 제 1전압의 레벨을 제어하는 제 1전압 제어부로서, 상기 제 1클럭 및 상기 지연클럭으로부터 소정의 리셋신호를 생성하는 리셋신호 생성부를 포함하는 상기 제 1전압 제어부;

상기 리셋신호에 응답하여 상기 제 1전압의 레벨 및 상기 제 2전압의 레벨을 같도록 제어하는 리셋부; 및,

상기 리셋신호를 수신하고, 상기 리셋신호에 응답하여 상기 제 2전압의 레벨을 제어하는 제 2전압 제어부를 구비하는 것을 특징으로 하는 주파수 체배기.

【청구항 5】

제 4항에 있어서,

상기 제 1클럭이 제 1논리상태를 가지고 상기 지연클럭이 제 2논리상태를 가지는 경우 상기 제 1전압 제어부는 상기 제 1전압 레벨이 증가하도록 제어하고,

상기 제 1클럭이 제 1논리상태를 가지고 상기 지연클럭이 제 1논리상태를 가지는 경우 상기 제 1전압 제어부는 상기 제 1전압 레벨이 감소하도록 제어하며,

상기 제 1클럭이 제 2논리상태를 가지는 경우 상기 제 1전압 레벨과 상기 제 2전압 레벨이 같도록 리셋되는 것을 특징으로 하는 주파수 체배기.

【청구항 6】

제 1항에 있어서, 상기 지연회로는

상기 카운터의 출력신호인 상기 제어신호를 수신하고, 상기 제어신호의 논리상태에 대응되는 지연량을 가지는 상기 지연클럭을 출력하는 것을 특징으로 하는 주파수 체배기

【청구항 7】

제 6항에 있어서, 상기 지연회로는

상기 지연회로의 입력단과 상기 지연회로의 출력단 사이에 서로 직렬로 연결된 다수의 반전회로군들을 구비하고, 상기 반전회로군들 각각은 다수의 반전회로들을 구비하며,

상기 반전회로들은 서로 병렬로 접속되고, 상기 각각의 반전회로군의 지연량은 상기 반전회로들의 활성화에 응답하여 제어되며,

상기 반전회로들 각각이 상기 제어신호에 응답하여 하나 또는 그 이상 활성화됨으로써 상기 지연회로의 지연량이 제어되는 것을 특징으로 하는 주파수 체배기.

【청구항 8】

제 1항에 있어서, 상기 제 2클럭은

상기 제 1클럭의 클럭주파수의 2배의 클럭주파수를 가지는 클럭인 것을 특징으로 하는 주파수 체배기.

【청구항 9】

제 1클럭을 수신하고, 상기 제 1클럭의 클럭주파수를 체배한 제 2클럭을 출력하는 주파수 체배기에 있어서,

상기 제 1클럭을 소정시간 지연시키고 그 결과를 출력하는 지연회로;

상기 제 1클럭 및 상기 지연회로의 출력신호를 수신하고 상기 제 1클럭 및 상기 지연회로의 출력신호를 합성하여 상기 제 2클럭을 출력하는 논리회로; 및,

상기 제 1클럭 및 상기 지연회로의 출력신호의 위상차이를 검출하고 그 검출결과에 대응되는 제 1전압 및 기준전압인 제 2전압을 출력하는 위상검출기;

상기 제 1전압 및 상기 제 2전압을 비교하고, 그 비교결과에 대응되는 논리신호를 출력하는 비교기; 및,

상기 제 1클럭에 동기되어 상기 지연회로의 지연량을 제어하는 N 비트의 디지털신호를 출력하는 카운터로서, 상기 카운터의 출력신호는 상기 비교기의 출력신호에 응답하여 가산 또는 감산되는 상기 카운터를 구비하는 것을 특징으로 하는 주파수 체배기.

【청구항 10】

제 9항에 있어서,

상기 제 1클럭의 제 1구간에서 상기 제 1전압의 레벨이 증가하고,

상기 제 1클럭의 제 2구간에서 상기 제 1전압의 레벨이 감소하며,

상기 제 1클럭의 제 3구간에서 상기 제 1전압의 레벨과 상기 제 2전압의 레벨이 같아지는 것을 특징으로 하는 주파수 체배기.

【청구항 11】

제 10항에 있어서,

상기 제 1구간은 상기 제 1클럭의 상승에지와 상기 지연회로의 출력신호의 상승에지 사이이고,

상기 제 2구간은 상기 지연회로의 출력신호의 상승에지와 상기 제 1클럭의 하강에지 사이이며,

상기 제 3구간은 상기 제 1클럭의 하강에지와 상기 지연회로의 출력신호의 하강에지 사이인 것을 특징으로 하는 주파수 체배기.

【청구항 12】

제 9항에 있어서, 상기 지연회로는

상기 카운터의 출력신호에 응답하여 지연량이 제어되는 것을 특징으로 하는 주파수 체배기.

【청구항 13】

제 9항에 있어서, 상기 제 2클럭은

상기 제 1클럭의 클럭주파수의 2배의 클럭주파수를 가지는 클럭인 것을 특징으로 하는 주파수 체배기.

【청구항 14】

소정의 주파수를 가지는 제 1클럭을 수신하여 상기 제 1클럭의 클럭주파수를 체배하는 주파수 체배방법에 있어서,

(a) 상기 제 1클럭을 수신하고 상기 제 1클럭을 소정시간 지연시킨 지연클럭을 출력하는 단계;

(b) 상기 제 1클럭 및 상기 지연클럭을 수신하고 상기 제 1클럭 및 상기 지연클럭을 배타적 논리합하여 상기 제 2클럭을 출력하는 단계; 및,

(c) 상기 제 1클럭 및 상기 지연클럭의 위상차이를 검출하고, 검출된 상기 위상차이에 대응되는 소정의 제어신호를 상기 지연회로로 출력하는 단계를 구비하고,

상기 제어신호는 상기 지연회로의 지연량을 제어하는 것을 특징으로 하는 주파수 체배방법.

【청구항 15】

제 14항에 있어서, 상기 (a) 단계는

상기 제어신호를 수신하고, 상기 제어신호의 논리상태에 대응되는 지연량을 가지는 상기 지연클럭을 출력하는 것을 특징으로 하는 주파수 체배방법.

【청구항 16】

제 13항에 있어서, 상기 (c) 단계는

(c1) 상기 제 1클럭 및 상기 지연클럭을 수신하고, 상기 제 1클럭 및 상기 지연클럭의 위상차이에 대응되는 소정의 제 1전압 및 제 2전압을 출력하는 위상검출단계;

(c2) 상기 제 1전압 및 상기 제 2전압을 수신하고, 상기 제 1전압 및 상기 제 2전압을 비교하고, 상기 비교결과에 따라서 소정의 논리상태를 가지는 논리신호를 출력하는 비교단계; 및,

(c3) 상기 제 1클럭에 동기되어 다수의 비트신호들인 상기 제어신호를 출력하는 단계로서, 출력되는 상기 제어신호는 상기 비교기의 출력신호에 응답하여 증가 또는 감소되는 비트신호들인 단계를 구비하는 것을 특징으로 하는 주파수 체배방법.

【청구항 17】

제 16항에 있어서, 상기 (c1) 단계는

상기 제 1클럭이 제 1논리상태를 가지고 상기 지연클럭이 제 2논리상태를 가지는 경우 상기 제 1전압이 증가되고,

상기 제 1클럭이 제 1논리상태를 가지고 상기 지연클럭이 제 1논리상태를 가지는 경우 상기 제 1전압이 감소되는 것을 특징으로 하는 주파수 체배방법.

【청구항 18】

제 17항에 있어서, 상기 (c1) 단계는

상기 제 1클럭이 제 2논리상태를 가지는 경우 상기 제 1전압과 상기 제 2전압이 같도록 리셋되는 것을 특징으로 하는 주파수 체배방법.

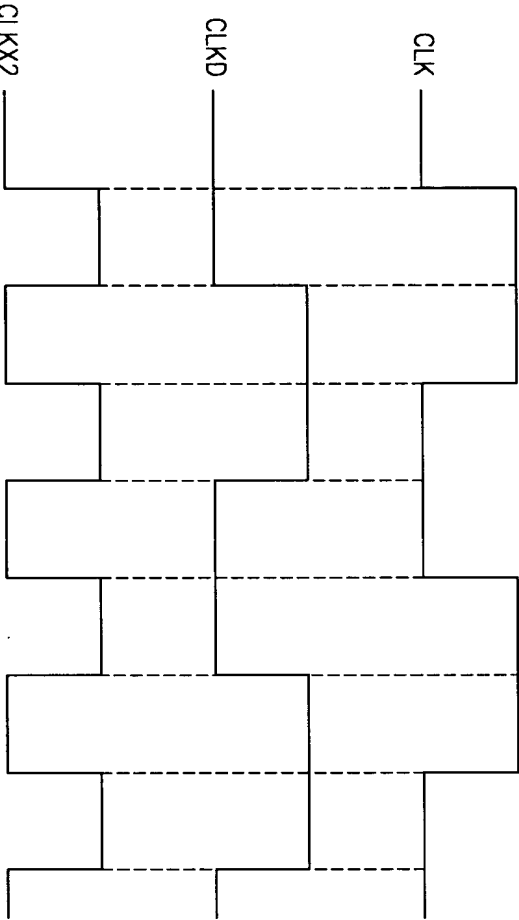
【청구항 19】

제 14항에 있어서, 상기 제 2클럭은

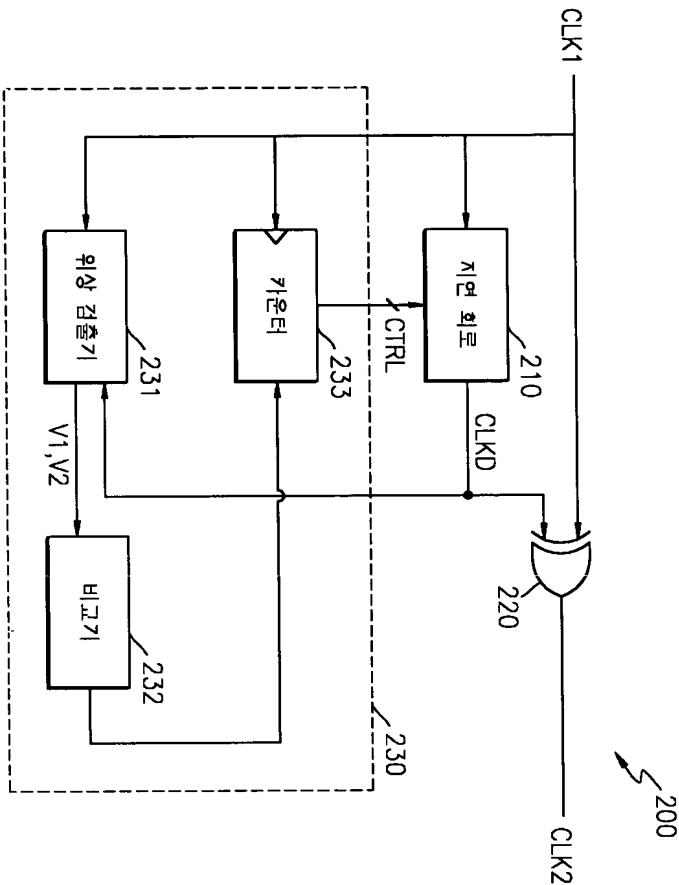
상기 제 1클럭의 클럭주파수의 2배의 클럭주파수를 가지는 클럭인 것을 특징으로 하는 주파수 체배기.

【도면】

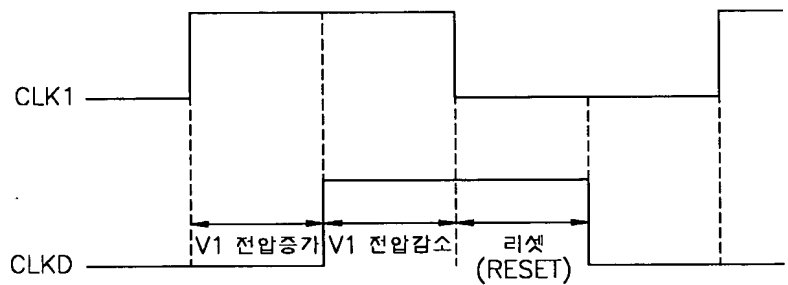
【도 1】



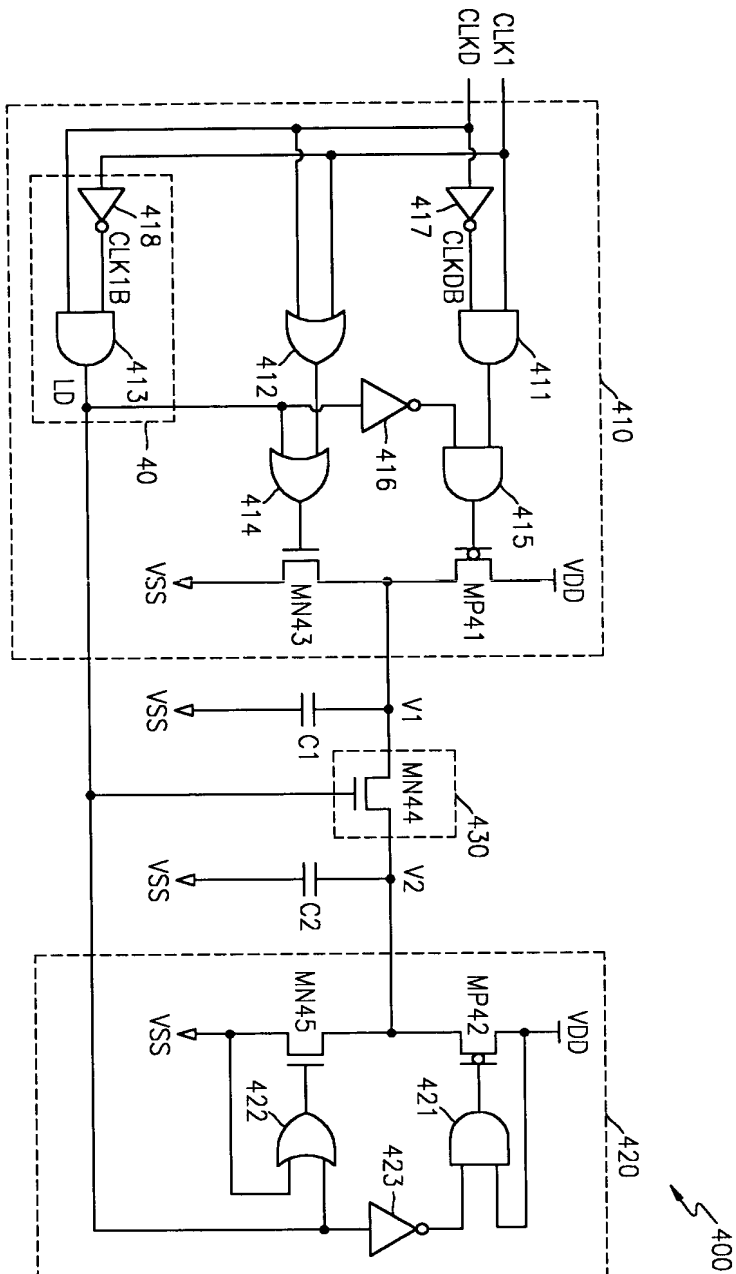
【도 2】



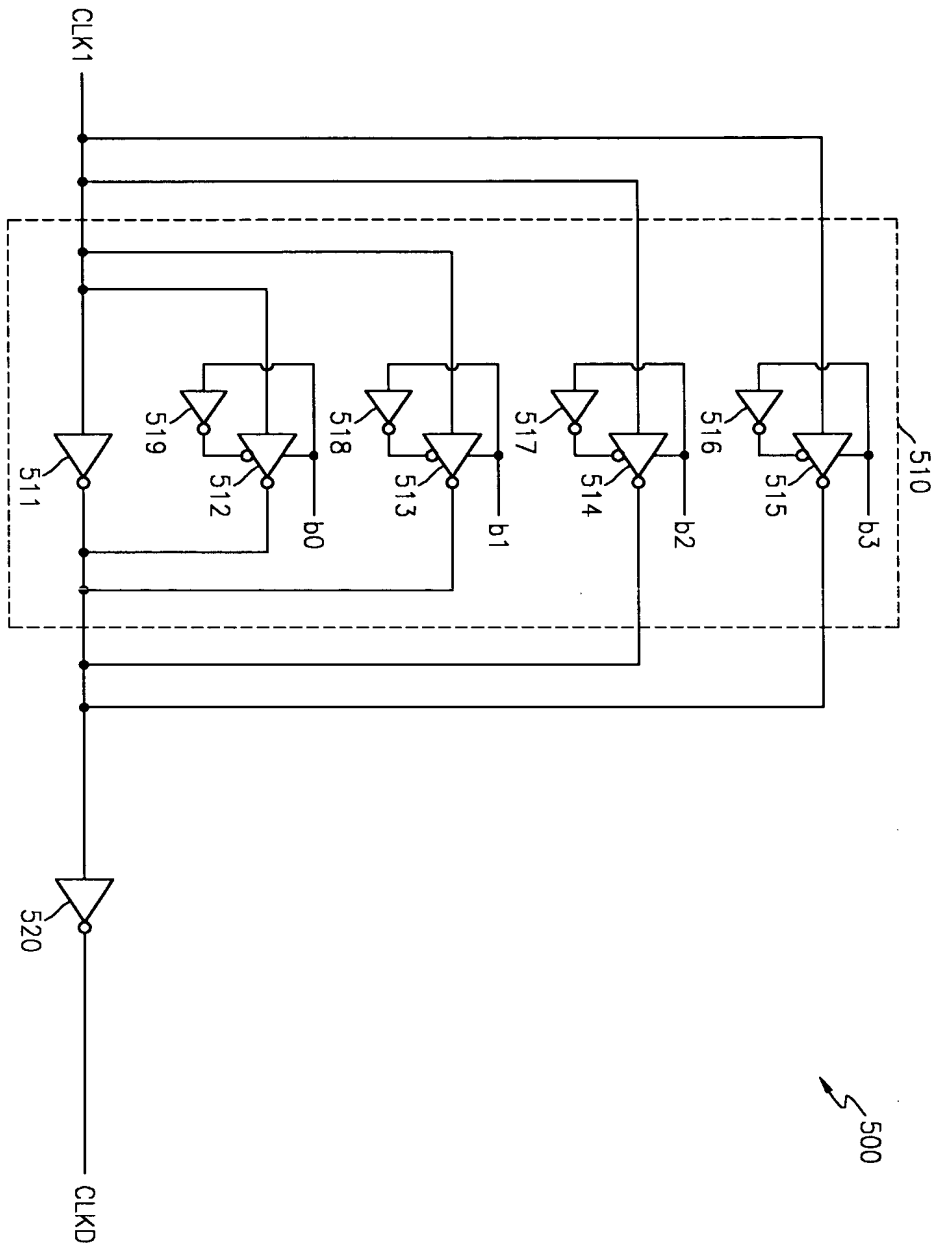
【도 3】



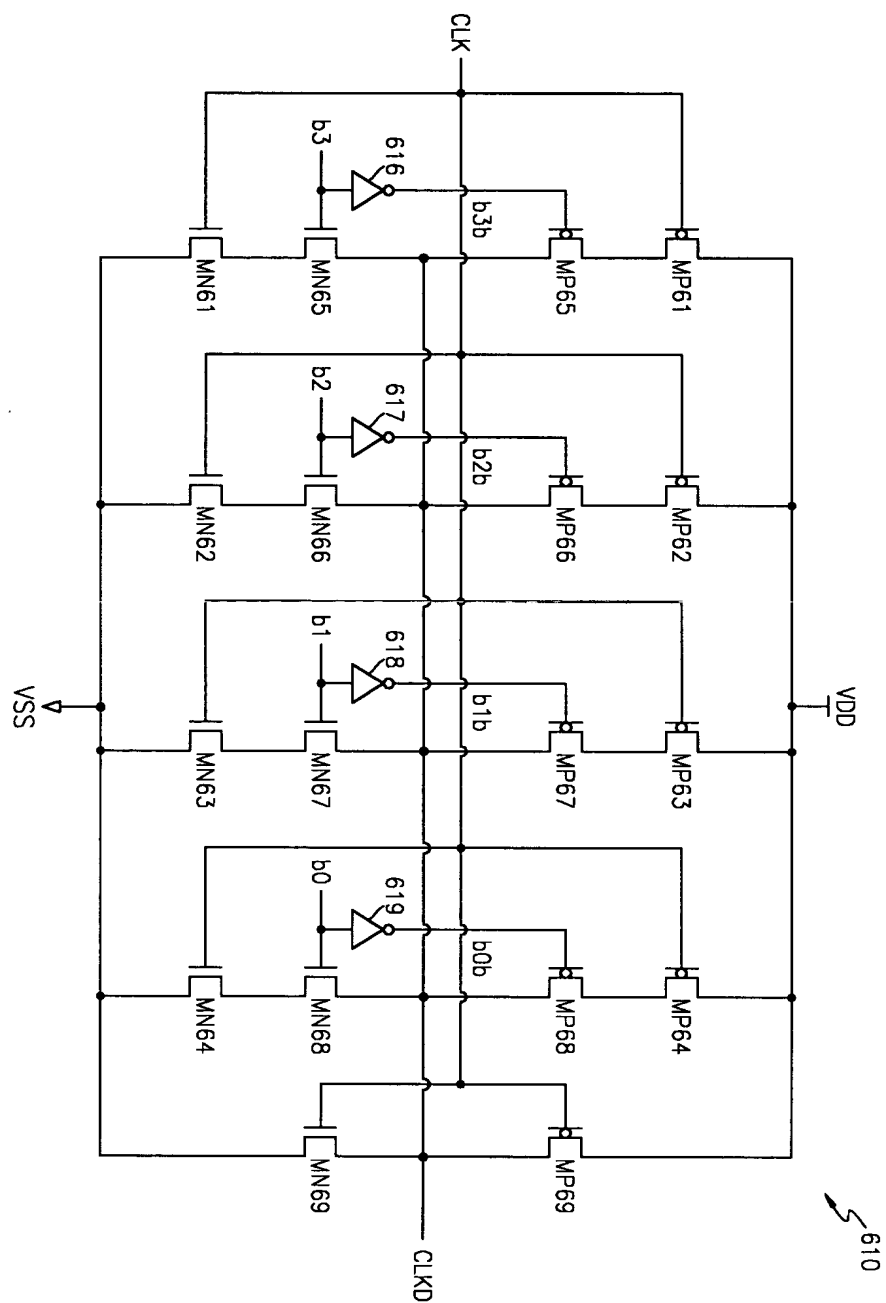
【도 4】



【도 5】



【도 6】



The circuit diagram of a 3-bit counter (FIG. 1) consists of three stages of inverters. The first stage (top) has inputs CLK1 and b3, and outputs b2b and b2. The second stage (middle) has inputs b2b and b2, and outputs b1b and b1. The third stage (bottom) has inputs b1b and b1, and outputs b0b and b0. Each stage includes a transistor (TG3, TG2, TG1) connected to a feedback loop. The output of the third stage is CLKD.